

pg. 13

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-62811

(43) 公開日 平成10年(1998) 3月6日

| (51) Int.Cl. ⁸ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|--------|---------------|--------|
| G 0 2 F 1/136 | 5 0 0 | | G 0 2 F 1/136 | 5 0 0 |
| | 1/133 | 5 5 0 | | 5 5 0 |
| G 0 9 G 3/36 | | | G 0 9 G 3/36 | |

審査請求 未請求 請求項の数15 O L (全 14 頁)

(21) 出願番号 特願平8-218441

(22) 出願日 平成8年(1996) 8月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 最首 達夫

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 長田 洋之

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 奥村 治彦

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74) 代理人 弁理士 大胡 典夫

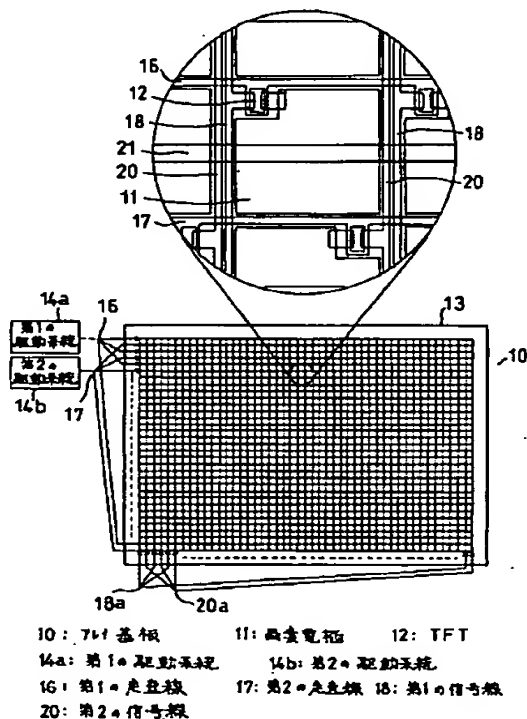
最終頁に続く

(54) 【発明の名称】 液晶表示素子及び大型液晶表示素子並びに液晶表示素子の駆動方法

(57) 【要約】

【課題】 高精細且つ大容量でありながら、液晶材料として強誘電性液晶又は反強誘電性液晶を用いる液晶表示素子の、低駆動電圧化を妨げる事無く、コントラストの向上を図り、表示品位の向上を図る。

【解決手段】 アレイ基板10上の任意の1列の画素電極11に対し、奇数行に電圧を印加する第1の信号線18及び偶数行に電圧を印加する第2の信号線20を並列配線し、2つの駆動系統により、第1の走査線16による奇数行のラインの書き込み動作と同時に、第2の走査線17による偶数行の複数のラインのリセット動作を行う事により、書き込み時間を犠牲にする事なく、十分なりセット動作とそれに続く十分な書き込み時間による書き込み動作を行う。これにより、保持電圧の低下を防止すると共に「ステップ応答」による残像を解消し、コントラストを向上させる。



【特許請求の範囲】

【請求項1】 走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子において、前記信号線が前記画素電極の1列当りに複数本配線され、前記走査線が同時に駆動可能な複数の駆動系統に分割されることを特徴とする液晶表示素子。

【請求項2】 走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子において、前記信号線が前記画素電極の1列当りに複数本配線され、前記走査線が任意の行の書込み動作と同時に前記任意の行以外の1行或いは複数行のリセット動作とを可能とする複数の駆動系統に分割されることを特徴とする液晶表示素子。

【請求項3】 信号線が、奇数行のスイッチング素子に接続される第1の信号線群及び、偶数行の前記スイッチング素子に接続される第2の信号線群からなり、走査線が、前記奇数行の書込み動作或いはリセット動作を行う第1の駆動系統及び、前記偶数行の書込み動作或いはリセット動作を行う第2の駆動系統に分割されることを特徴とする請求項2に記載の液晶表示素子。

【請求項4】 走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子を2つ或いは4つ配置して成る大型液晶表示素子において、各液晶表示素子毎に、前記信号線が、奇数行のスイッチング素子に接続される第1の信号線群及び、偶数行の前記スイッチング素子に接続される第2の信号線群からなり、前記走査線が、前記奇数行の書込み動作或いはリセット動作を行う第1の駆動系統及び、前記偶数行の書込み動作或いはリセット動作を行う第2の駆動系統に分割されることを特徴とする大型液晶表示素子。

【請求項5】 走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子の駆動方法において、前記信号線が前記画素電極の1列当りに複数本配線されると共に、前記走査線が複数の駆動系統に分割して駆動

され、任意の行の書込み動作と同時に前記任意の行以外の1行或いは複数行のリセット動作を行うことを特徴とする液晶表示素子の駆動方法。

【請求項6】 信号線が第1の信号線群及び第2の信号線群からなり、前記第1の信号線群が奇数行のスイッチング素子に接続され、前記第2の信号線群が偶数行のスイッチング素子に接続され、

前記奇数行の任意の1行への書込み動作と同時に、前記偶数行の1行或いは複数行のリセット動作を行う一方、前記偶数行の任意の1行への書込み動作と同時に、前記奇数行の1行或いは複数行のリセット動作を行うことを特徴とする請求項5に記載の液晶表示素子の駆動方法。

【請求項7】 信号線が上信号線群及び下信号線群からなり、前記上信号線群がアレイ基板の上半分のスイッチング素子に接続され、前記下信号線群が前記アレイ基板の下半分のスイッチング素子に接続され、

前記上半分の任意の1行への書込み動作と同時に、前記下半分の1行或いは複数行のリセット動作を行う一方、前記下半分の任意の1行への書込み動作と同時に、前記上半分の1行或いは複数行のリセット動作を行うことを特徴とする請求項5に記載の液晶表示素子の駆動方法。

【請求項8】 任意の1行への書込み動作と同時にリセット動作される行数が1乃至10行であり、各行におけるリセット動作をせしめる為のリセットパルスと書込み動作をせしめる為の書込みパルスの間のブランク数が0か2或いは4のいずれかであることを特徴とする請求項5乃至請求項7のいずれかに記載の液晶表示素子の駆動方法。

【請求項9】 同時にリセット動作される行数及びブランク数が夫々調整可能であることを特徴とする請求項8に記載の液晶表示素子の駆動方法。

【請求項10】 走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子の駆動方法において、前記信号線が前記画素電極の1列当りに n 本(n は2以上)配線されると共に、前記走査線が n 個の駆動系統に分割して駆動され、前記走査線による書込み動作をせしめる為の書込みパルス幅を1H時間の n 倍とする液晶表示素子の駆動方法。

【請求項11】 走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子の駆動方法において、前記信号線が前記画素電極の1列当りに n 本(n は2以上)配線されると共に、前記走査線が n 個の駆動系統に

分割して駆動され、前記走査線による書込み動作をせしめる為の書込みパルス幅を1 H時間のn倍とし、前記書込み動作の直前の0乃至n H時間の間にプリチャージを行う事の特徴とする液晶表示素子の駆動方法。

【請求項12】 走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子の駆動方法において、任意の行の書込み動作前に、前記任意の行以外の行のリセット動作と同時に、前記任意の行のリセット動作を行う事の特徴とする液晶表示素子の駆動方法。

【請求項13】 リセット動作をせしめる為のリセット時間を、1 H時間の1/2以下とし、書込み動作前に複数回のリセット動作を行う事の特徴とする請求項12に記載の液晶表示素子の駆動方法。

【請求項14】 リセット時間を、1 H時間の1/6乃至1/2とし、任意の行と同時にリセット動作される行数を1乃至10行とし、各行における最後のリセット動作から書込み動作迄のブランク数を0乃至3とする事の特徴とする請求項13に記載の液晶表示素子の駆動方法。

【請求項15】 同時にリセット動作される行数及びブランク数が夫々調整可能である事の特徴とする請求項14に記載の液晶表示素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、駆動素子としてマトリクス状に配列された薄膜トランジスタ（以下TFTと略称する。）を備え、アレイ基板及び対向基板との間に、自発分極を有する液晶材料を挟持して成る液晶表示素子の駆動方法に関する。

【0002】

【従来の技術】 隣接する画素間のクロストークが無く、高コントラスト表示を得られると共に、透過型表示が可能であり且つ、大面積化も容易である等の理由から、従来よりTFTを制御素子として備えたアクティブマトリクス型の液晶表示装置が多用されている。

【0003】そして、この様なTFT-液晶表示装置に於いて、更に応答速度を改善すると共に広視野角を得るため、近年、ツイステッド・ネマティック液晶（以下TN液晶と称する。）にかえ、液晶材料としてカイラルスメクティックC相或いはその副次相の液晶の様に、自発分極を有する強誘電性液晶或いは反強誘電性液晶を用いるものが検討されている。これ等カイラルスメクティックC相或いはその副次相の液晶をTFTで駆動すると、書込み時間が液晶応答時間より短い場合、反電場により保持電圧が低下する現象が知られている（Hartmann: J. Appl. Phys. 66, 1132 (19

89)）。

【0004】この保持電圧の低下は、いわゆるデータの書込み不足であり、実効印加電圧の低下によりコントラスト比が低下され画質に悪影響を及ぼすという問題を有していた。この書込み不足は、印加電圧を増大することによっても補えるが、駆動電圧の増加に必要な中耐圧ドライバやアレイの採用によるコストの増大という問題が生じ、また、消費電力が増大される事から、特に小型軽量且つ低消費電力化が要求される携帯用等、小型の液晶表示装置にあっては、低消費電力化が妨げられ、バッテリーの持ちが短縮され操作性も劣るという問題を生じていた。

【0005】又印加電圧をフレーム毎に極性反転し正負対称のモードで駆動する、フレーム反転駆動にあっては、あるフレームで信号電圧の絶対値が変化した場合に、表示画像は、直ちに新たな信号電圧に対応する透過光量に達するのではなく、数フレームにわたり明暗をくりかえしながら、定常の透過光量に落ち着くという「ステップ応答」という現象を生じ（Verhulst et al.: IDRC'94 digest, 337 (1994)）、表示品位が低下されるという問題を生じていた。このため、印加電圧を対称モードでは無く非対称モード方式（Tanaka et al.: SID'94 digest, 430 (1994)）で駆動し、「ステップ応答」を解消する方法も検討されているが、この場合累積応答によりコントラスト比は向上されるものの、画像応答速度の低下や液晶中の不純物のかたよりの焼き付き或いは残存ヒステリシスによる残像発生等の新たな問題を生じ、実用化が妨げられていた。

【0006】更に、前述の保持電圧低下及び「ステップ応答」改善の為に補助容量を増大させるという手段も検討されているが、TN液晶を用いる液晶表示素子にあっては、補助容量は液晶を有する画素の容量とほぼ同程度であるのに比し、強誘電性或いは反強誘電性液晶を用いる場合には、補助容量をTN液晶表示素子の補助容量の10倍或いはそれ以上に増大させれば保持電圧低下は解決出来るものの、液晶材料の応答速度が現状程度に遅い限り、「ステップ応答」は解決されず、補助容量の増大に伴い電流量もそれに対応して増加する事から消費電力の増大を招き、駆動回路の負担も大きく成り、携帯用や小型の装置に適さない等用途が限定されるという問題を生じていた。

【0007】このため、「ステップ応答」を解決する別の方法として、従来、TFT又は薄膜ダイオード（以下TFDと称する。）を用いた液晶表示素子において、印加電圧の書込みに要する時間の一部を使って、書込み動作直前に0 Vを印加してリセット動作を行う方法も実施されていた。

【0008】

【発明が解決しようとする課題】 しかしながら、この様

に書き込み時間の一部を使用してリセット動作を行う従来の方法にあっては、所定のフレーム時間にあっては、走査線のライン数を減らさない限り、実質的な書き込み時間が短くなり、これによる書き込み不足を生じてしまい、コントラストの十分な向上を得られず、特に高精細化或いは大型化の要求によるラインの増大により書き込み時間が短縮される液晶表示素子にあっては、リセット動作のために、書き込み時間が更に短くなってしまい、書き込み不足による悪影響が増大され、高コントラストを得られず表示品位の著しい低下を招くという問題を生じていた。

【0009】このため各画素毎に2個のTFDを設け、データ用とレファレンス用の2本の信号線により、データ用信号線にて任意のラインにデータを書込む間に、レファレンス用信号線にて前述の任意のライン以外のラインのリセット動作を可能とする回路構造(Verhulst et al.: IDRC '94 digest, 377 (1994))を用いる液晶表示素子も検討されているが、この回路構造にあっては、1画素当りのスイッチング素子数や配線数が多く、又駆動波形も複雑となり、製造上の歩留まりの低下を招きひいては低コスト化が妨げられ、さらにはTFDでは液晶表示素子全体の素子特性のばらつきを抑えにくい等種々の問題を生じていた。

【0010】そこで本発明は上記課題を除去するもので、高速且つ広視野角を得る液晶表示素子でありながら、低駆動電圧化や低コスト化を妨げることなく、反電場による保持電圧の低下を防止し、且つ「ステップ応答」を解消して、コントラストの低下を防止し、さらには残存ヒステリシスによる残像や不純物のかたまりによる焼き付きやフリッカを解消し、表示品位の向上を図る液晶表示素子及び大型液晶表示素子並びに液晶表示素子の駆動方法を提供する事を目的とする。

【0011】

【課題を解決するための手段】上記課題を解決する為の請求項1に記載の発明は、走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子において、前記信号線が前記画素電極の1列当りに複数本配線され、前記走査線が同時に駆動可能な複数の駆動系統に分割されるものである。

【0012】又上記課題を解決する為の請求項2に記載の発明は、走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子において、前記信号線が前記画素電

極の1列当りに複数本配線され、前記走査線が任意の行の書き込み動作と同時に前記任意の行以外の1行或いは複数行のリセット動作とを可能とする複数の駆動系統に分割されるものである。

【0013】又上記課題を解決する為の請求項3に記載の発明は、請求項2に記載の液晶表示素子において、信号線が、奇数行のスイッチング素子に接続される第1の信号線群及び、偶数行の前記スイッチング素子に接続される第2の信号線群からなり、走査線が、前記奇数行の書き込み動作或いはリセット動作を行う第1の駆動系統及び、前記偶数行の書き込み動作或いはリセット動作を行う第2の駆動系統に分割されるものである。

【0014】又上記課題を解決する為の請求項4に記載の発明は、走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子において、各液晶表示素子毎に、前記信号線が、奇数行のスイッチング素子に接続される第1の信号線群及び、偶数行の前記スイッチング素子に接続される第2の信号線群からなり、前記走査線が、前記奇数行の書き込み動作或いはリセット動作を行う第1の駆動系統及び、前記偶数行の書き込み動作或いはリセット動作を行う第2の駆動系統に分割されるものである。

【0015】又上記課題を解決する為の請求項5に記載の発明は、走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子の駆動方法において、前記信号線が前記画素電極の1列当りに複数本配線されると共に、前記走査線が複数の駆動系統に分割して駆動され、任意の行の書き込み動作と同時に前記任意の行以外の1行或いは複数行のリセット動作を行うものである。

【0016】又上記課題を解決する為の請求項6に記載の発明は、請求項5に記載の液晶表示素子の駆動方法において、信号線が第1の信号線群及び第2の信号線群からなり、前記第1の信号線群が奇数行のスイッチング素子に接続され、前記第2の信号線群が偶数行のスイッチング素子に接続され、前記奇数行の任意の1行への書き込み動作と同時に、前記偶数行の1行或いは複数行のリセット動作を行う一方、前記偶数行の任意の1行への書き込み動作と同時に、前記奇数行の1行或いは複数行のリセット動作を行うものである。

【0017】又上記課題を解決する為の請求項7に記載の発明は、請求項5に記載の液晶表示素子の駆動方法において、信号線が上信号線群及び下信号線群からなり、

10

20

30

40

50

前記上信号線群がアレイ基板の上半分のスイッチング素子に接続され、前記下信号線群が前記アレイ基板の下半分のスイッチング素子に接続され、前記上半分の任意の1行への書き込み動作と同時に、前記下半分の1行或いは複数行のリセット動作を行う一方、前記下半分の任意の1行への書き込み動作と同時に、前記上半分の1行或いは複数行のリセット動作を行うものである。

【0018】又上記課題を解決する為の請求項8に記載の発明は、請求項5乃至請求項7のいずれかに記載の液晶表示素子の駆動方法において、任意の1行への書き込み動作と同時にリセット動作される行数が1乃至10行であり、各行におけるリセット動作をせしめる為のリセットパルスと書き込み動作をせしめる為の書き込みパルスの間のブランク数が0か2或いは4のいずれかとするものである。

【0019】又上記課題を解決する為の請求項9に記載の発明は、請求項8に記載の液晶表示素子の駆動方法において、同時にリセット動作される行数及びブランク数を夫々調整可能とするものである。

【0020】又上記課題を解決する為の請求項10に記載の発明は、走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子の駆動方法において、前記信号線が前記画素電極の1列当りにn本(nは2以上)配線されると共に、前記走査線がn個の駆動系統に分割して駆動され、前記走査線による書き込み動作をせしめる為の書き込みパルス幅を1H時間のn倍とするものである。

【0021】又上記課題を解決する為の請求項11に記載の発明は、走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子の駆動方法において、前記信号線が前記画素電極の1列当りにn本(nは2以上)配線されると共に、前記走査線がn個の駆動系統に分割して駆動され、前記走査線による書き込み動作をせしめる為の書き込みパルス幅を1H時間のn倍とし、前記書き込み動作の直前の0乃至nH時間の間にプリチャージを行うものである。

【0022】又上記課題を解決する為の請求項12に記載の発明は、走査線及びこの走査線と交差するよう配線される信号線の交点に配列されるスイッチング素子により駆動され、マトリクス状に配列される画素電極及び、前記画素電極に対向する対向電極を有する、相対向される2枚の基板との間に自発分極を有する液晶材料を挟持して成る液晶表示素子の駆動方法において、任意の行の

書き込み動作前に、前記任意の行以外の行のリセット動作と同時に、前記任意の行のリセット動作を行うものである。

【0023】又上記課題を解決する為の請求項13に記載の発明は、請求項12に記載の液晶表示素子の駆動方法において、リセット動作をせしめる為のリセット時間を、1Hの書き込み時間の1/2以下とし、書き込み動作前に複数回のリセット動作を行うものである。

10 【0024】又上記課題を解決する為の請求項14に記載の発明は、請求項13に記載の液晶表示素子の駆動方法において、リセット時間を、1H時間の1/6乃至1/2とし、任意の行と同時にリセット動作される行数を1乃至10行とし、各行における最後のリセット動作から書き込み動作迄のブランク数を0乃至3とするものである。

【0025】又上記課題を解決する為の請求項15に記載の発明は、請求項14に記載の液晶表示素子の駆動方法において、同時にリセット動作される行数及びブランク数を夫々調整可能とするものである。

20 【0026】そしてこの様な構成により本発明は、強誘電性液晶或いは反強誘電性液晶を用いる事から高速且つ広視野角を得られ、且つ各列当りに複数の信号線を設け、同時に駆動可能な複数の駆動系統に分割される走査線にて、任意の行の書き込み動作と同時にそれ以外の行のリセット動作を行うことにより、「ステップ応答」を防止する為にリセット動作を行うにもかかわらず、スイッチング素子の増加を招く事無く、書き込み時間を十分に確保出来る。従って、保持電圧の低下も防止出来、コントラスト比の向上を図るものである。しかも走査線の駆動系統が複数あることから、行毎に印加電圧の極性を反転するhライン反転駆動の採用が容易となり、フリッカの解消を容易とするものである。

30 【0027】又、上記のように交流的駆動が問題なく利用出来るため、直流的駆動で問題となる残存ヒステリシスによる残像及び不純物のかたまりによる焼き付きは発生しない。

【0028】又各列当りに複数の信号線を設け、同時に駆動可能な複数の駆動系統に分割される走査線にて、任意の行において複数倍の書き込み時間を得或いは、書き込み直前にプリチャージを得ることにより、書き込み不足に因る保持電圧の低下、「ステップ応答」を防止し、コントラスト比の向上を図るものである。

40 【0029】又、任意の行への書き込み動作前に、他の行のリセット動作と同時に任意の行を複数回リセット動作する事により、十分な書き込み時間を確保する為に、書き込み時間のうちのわずかな時間をリセット時間として使用するにもかかわらず、書き込み動作前に十分な合計リセット時間を得られるので、保持電圧の低下及び「ステップ応答」を確実に防止し、コントラスト比の向上を図るものである。

【0030】

【発明の実施の形態】

【第1の実施の形態】以下本発明の第1の実施の形態を図1乃至図3を参照して説明する。

【0031】10は、 640×480 のマトリクス状に配列される画素電極11を駆動するスイッチング素子としてTFT12を用いるアレ基板であり、図示しない対向基板との間で、液晶材料として自発分極 150 nC/cm^2 、応答時間 $100 \mu\text{s}$ 、飽和電圧 5 V の無しき反強誘電性液晶A (Fukuda, Asia Display '95 digest, 61 (1995)) (図示せず)を挟持して液晶表示素子(図示せず)を構成している。

【0032】アレ基板10の絶縁基板13上には、第1の駆動系統14aにより駆動される第1の走査線16及び、第2の駆動系統14bにより駆動される第2の走査線17が交互に配線され、これ等走査線16、17に交差するよう第1の信号線群18aを構成する第1の信号線18及び第2の信号線群20aを構成する第2の信号線20が2本並んで配線されている。

【0033】そして各走査線16、17と信号線18、20の交点付近にはTFT12が設けられ、更に画素電極11が電気的に接続されているが、アレ基板10上の奇数行のTFT12aは、第1の走査線16及び第1の信号線18に接続され、偶数行のTFT12bは、第2の走査線17及び第2の信号線20に接続され、2つの駆動系統14a、14bにより夫々に画素電極11の駆動を行うようになっている。尚、21は、補助容量線である。

【0034】次に図2に示すアレ基板10の等価回路を参照して液晶表示素子の駆動方法についてのべる(但し補助容量は省略する。)。このアレ基板10のTFT駆動系は、第1及び第2の信号線による最大印加電圧が $\pm 6 \text{ V}$ のhライン反転駆動にて、第1及び第2の走査線16、17による1H時間が $32 \mu\text{s}$ のVGAのものをを用い、図3の走査線駆動波形に示す様に行選択時の同時リセット本数 n を3、最終リセットパルスから書込みパルス迄のブランク m を2とし、リセット電圧はコモン電圧と同じ電位として、駆動を行った。但し、背景の点線の間隔は1H時間、即ち1フレーム時間を全走査線数(全行数)で割ったものである。又Rはリセットパルス、Bはブランク、Sは書込みパルスである。

【0035】即ち、第1の駆動系統14aにより駆動される第1の走査線16による書込み動作と同時に、第2の駆動系統14bにより駆動される第2の走査線17によるリセット動作が可能であり、図3(イ)の書込みパルスSによる図2の奇数行であるラインaの書込み動作と同時に、図3(二)のリセットパルスRによる図2の偶数行であるラインdのリセット動作が行われ、同様に図示されていない他2本の偶数行も同時にリセット動作

が行われる事となる。

【0036】この様な本実施の形態の液晶表示素子にて画像表示を行った所、コントラスト比30:1と良好なコントラストを得られ、又「ステップ応答」の解消により残像も認められず、フリッカを生じる事もなく、高い表示品位を得られた。尚、信号線18、20による印加電圧のみをフレーム反転駆動とする外は、全て前述と同一条件にて画像表示を行った所、前述と同様、良好なコントラスト比を得られ、フリッカも認められなかった。

【0037】この様に構成すれば、第1の駆動系統14aにより駆動される第1の走査線16によるラインaの書込み動作と同時に、第2の駆動系統14bにより駆動される第2の走査線17により、その後に書込みが成されるラインd及び図示されていない他2本の偶数行のラインのリセット動作を行えるという様に、任意のラインにおいて、予め複数のリセットパルスによるリセット動作を行った後、書込み動作を行え、しかも、リセット動作の駆動は、書込み動作とは異なる駆動系統により実施出来、リセット動作の為に、書込み動作の為の書込み時間を犠牲にする事が無く、かつ同時に複数のラインをリセットすることができる。従って任意のラインにおいては、十分なリセット動作とそれに続く十分な書込み時間による書込み動作を得られ、書込み不足による保持電圧の低下を招く事が無く、印加電圧を上げる事無く、良好な保持電圧を得られ、又書込み前のリセットにより「ステップ応答」も解消され、コントラストを向上出来る。更に残存ヒステリシスによる残像も見られず、焼き付きやフリッカを生じる事もなく表示品位を向上出来る。

【0038】しかも、信号線を2本配線し、走査線の駆動系統を分割するものの、TFTは増加しておらず、製造時の歩留まり低下やコストの増加を最少限に抑えられ、生産性を損なう事もない。又、走査線16、17が夫々第1の駆動系統14a、第2の駆動系統14bの2系統で駆動されることから、フリッカ対策に好都合なhライン反転駆動を行い易くなる。上記のように、信号線を2本ずつ並置すると開口率が下がるが、例えば2つの駆動系統の配線を上下の基板に別々に設置し、信号線部分が重なるように組み合わせる等配線配置の工夫を行えば、開口率の低下は回避できる。

【0039】【第2の実施の形態】次に本発明の第2の実施の形態を図5乃至図8を参照して説明する。尚第2の実施の形態は、前述の第1の実施の形態とアレ基板の構造が異なるものの、他は第1の実施の形態と同じ条件とするものである。即ち23は、 640×480 のマトリクス状に配列される画素電極24を駆動するスイッチング素子としてTFT26を用いるアレ基板であり、図示しない対向基板との間で、液晶材料として自発分極 150 nC/cm^2 、応答時間 $100 \mu\text{s}$ 、飽和電圧 5 V の無しき反強誘電性液晶A (Fukuda, Asia Display '95 digest, 61 (1

995)) (図示せず) を挾持して液晶表示素子 (図示せず) を構成している。

【0040】アレイ基板23の絶縁基板27上には、上駆動系統28aにより駆動される上走査線30及び下駆動系統28bにより駆動される下走査線31が配線され、更に上走査線30に交差するよう上信号線群32aを構成する上信号線32が配線され、下走査線31に交差するよう下信号線群33aを構成する下信号線33が配線され、アレイ基板23の真ん中23aを境に上半分と下半分とで信号線群が分けられている。

【0041】そして各走査線30、31と信号線32、33の交点付近にはTFT26が設けられ、更に画素電極24が電気的に接続されており、上半分の画素電極24aは上駆動系統28aにより駆動され、下半分の画素電極24bは下駆動系統28bにより駆動され、夫々に上半分及び下半分の画素電極24の駆動を行えるようになっている。尚、36は、補助容量線である。

【0042】次に図5に示すアレイ基板23の等価回路を参照して液晶表示素子の駆動方法についてのべる (但し補助容量は省略する。)。このアレイ基板23のTFT駆動系は、上下信号線32、33による最大印加電圧が±6Vのhライン反転駆動にて、上下走査線30、31による1H時間が32μsのVGAのものをを用い、図6の走査線駆動波形に示す様に行選択時の同時リセット本数nを3、最終リセットパルスから書込みパルス迄のブランクmを2とし、リセット電圧はコモン電圧と同じ電位として、行選択時と同時のリセット動作を含む駆動を行った。

【0043】即ち、上駆動系統28aにより駆動される上走査線30による書込み動作と同時に、下駆動系統28bにより駆動される下走査線31によるリセット動作が可能であり、図6(へ)の書込みパルスSによる図5の上半分の任意のラインfの書込み動作と同時に、図6(り)及び(ヌ)のリセットパルスRによる図5の下半分のラインi及びラインjのリセット動作が行われ、同様に図示されていない他1本のラインも同時にリセットが行われる事となる。

【0044】そしてこの第2の実施の形態の液晶表示素子にて画像表示を行った所、第1の実施の形態と同様、コントラスト比30:1と良好なコントラストを得られ、又「ステップ応答」の解消により、残像も見られず、フリッカも認められなかった。更に、信号線32、33は上下には別れているものの、画素電極24間には1本ずつしか配線されていないので、第1の実施の形態に比し開口率が15%増大され、同じバックライトを使用した場合には、第1の実施の形態に比し表示輝度が向上された。但し、長時間の耐久試験後には、液晶表示素子によっては、アレイ基板23の真ん中23aに上下の境界線が僅かに見られる場合もあった。

【0045】この様に構成すれば、例えば、上駆動系統

28aにより駆動される上走査線30によるラインfの書込み動作と同時に、下駆動系統28bにより駆動される下走査線31により、その後に書込みが成されるラインi及びラインj及び図示されていない1本のラインのリセット動作を行えるという様に、任意のラインにおいて、予め複数のリセットパルスによるリセット動作を行った後、書込み動作を行え、しかも、リセット動作の為に、書込み動作の為に書込み時間を犠牲にする事がなく、かつ同時に複数のラインをリセットすることができ

10

る。従って、任意のラインにおいて、十分なリセット動作とそれに続く十分な書込み時間による書込み動作により、第1の実施の形態と同様、印加電圧を上げる事無く、良好な保持電圧を得られ、又書込み前のリセットにより「ステップ応答」の残像が解消され、コントラストを向上出来、又焼き付きやフリッカを生じる事もなく、表示品位を向上出来る。

20

【0046】しかも、信号線を1列当り2本配線し、走査線の駆動系統を分割するものの、1画素電極に対しTFT26と信号線32、33はいずれも1個ずつであり、開口率が損なわれる事もなく良好な表示輝度を得られ、製造時の歩留まり低下やコストの増加を生じる事も無く、生産性を損なう事もない。

30

【0047】[比較例1]これに対し、比較例1として1画素電極につきTFTと信号線を1個ずつ備え、走査線を1駆動系統にて駆動する従来のアレイ基板を用いる他は、第1の実施の形態と同一条件である液晶表示素子を形成し、リセット動作を行わない駆動にて、画像表示を行った所、コントラスト比は10:1と低く、「ステップ応答」による残像が見られ、表示品位が劣化され

40

た。

【0048】[比較例2]次に比較例2として、[比較例1]にて形成したのと同じ液晶表示素子を用い、1ラインの書込み時間の前半をリセット動作に充てる駆動を行い画像表示を行った所、「ステップ応答」の解消により残存は見られず、フリッカは生じなかったものの、書込み不足によりコントラスト比は20:1と低く良好な表示品位を得られなかった。

40

【0049】[第3の実施の形態]次に本発明の第3の実施の形態について述べる。第3の実施の形態は、第1の実施の形態における液晶表示素子の液晶材料を、自発分極150nC/cm²、応答時間100μs、飽和電圧5Vの歪らせん型強誘電性液晶 (以下DHF液晶と称する。) Bに変えた液晶表示素子を形成し、第1の実施の形態と同様、TFT駆動系は、最大印加電圧が±6Vのhライン反転駆動にて、1H時間が32μsのVGAのものをを用い、行選択時の同時リセット本数nを2、最終リセットパルスから書込みパルス迄のブランクmを2として駆動を行うものである。

50

【0050】尚、このDHF液晶Bは、印加電圧-光透過率曲線が0Vを中心に非対称となる点が第1の実施の

形態の液晶材料Aと異なり、応答速度も液晶材料Aより速い。

【0051】そして第1の実施の形態の液晶表示素子及び駆動方法にて画像表示を行った所、コントラスト比30:1と良好なコントラストを得られ、又「ステップ応答」が解消されることにより残像も見られず、又hライン反転の効果によってフリッカも認められず、高い表示品位を得られた。

【0052】この様に構成すれば、第1の実施の形態と同様、製造時の歩留まりやコストの増加を最少限に抑え、生産性を損なう事無く、任意のラインにおいて、リセット動作を行った後、十分な書き込み時間を有する書き込み動作を行え、保持電圧の低下を防止し、又書き込み前のリセットによる「ステップ応答」の解消により残像も見られずコントラストを改善出来、フリッカも生ぜず、表示品位を向上出来る。

【0053】〔比較例3〕次に比較例3として、第2の実施の形態における液晶表示素子の液晶材料を、自発分極 150 nC/cm^2 、応答時間 $100\text{ }\mu\text{s}$ 、飽和電圧5Vの歪せん型強誘電性液晶（以下DHF液晶と称する。）Bに変えた液晶表示素子を用い、TF T駆動系は、最大印加電圧が $\pm 6\text{ V}$ のフレイム反転駆動にて、1H時間が $32\text{ }\mu\text{s}$ のVGAのものを用い、行選択時の同時リセット本数 n を2、最終リセットパルスから書き込みパルス迄のブランク m を2として第2の実施の形態の駆動方法で画像表示を行った所、コントラスト比30:1と良好なコントラストを得られ、又「ステップ応答」の解消により残像も見られなかったものの、フリッカを生じてしまった。

【0054】〔比較例4〕次に比較例4として、図7に示す様に1画素37につき2個のTF D38a、38bと書き込み動作を行うデータライン39とリセット動作を行うレファレンスライン40、走査線56、画素電極57を有する回路構成を有するアレイ基板41を用いる他は第1の実施の形態と同一条件にて液晶表示素子を形成し、リセット動作を行った後、書き込み動作をする駆動を行い画像表示を行った所、コントラスト比30:1と良好なコントラストを得られると共に、「ステップ応答」の解消により残像も見られなかったものの、TF D38a、38bの特性の画素によるばらつきにより表示の不均一を生じると共に、スイッチング素子及び信号線共に2個ずつあることから、コストの上昇を招くと共に、歩留まりの低下による生産性の低下によってもコストが上昇され、さらには、開口率の低下により表示輝度が低下され、表示品位が劣化した。

【0055】〔第4の実施の形態〕次に本発明の第4の実施の形態について図8及び図9を参照して述べる。第4の実施の形態は、第1の実施の形態における液晶表示素子を用い、リセット動作を行う代わりに第1の実施の形態の書き込み時間の2倍である2H時間の書き込み動作を

行い、更にその直前に0乃至2H時間でプリチャージを行うものである。即ち、アレイ基板10の走査線16、17の駆動系統が2系統あることから、同一ライン数であれば走査線の駆動系統が単一のものに比し、その走査線の書き込み時間を2倍にする事が可能である事から、図9に示す様に2H全てを書込み時間として使うものである。

【0056】この様に構成すれば、2倍の書き込み時間の前半は他のラインのデータを利用するオーバーラップスキャンと異なり、書き込み時間中は全て所望のデータを書き込む事が出来、書き込み不足による保持電圧の低下を生じる事がなく、又リセットを行わなくても、「ステップ応答」の解消により残像を消去し、コントラスト比の向上を得られ、オーバーラップスキャンに比し、ぼける事なくより鮮明な表示画像を得られる。更に第1の実施の形態の様にリセット動作を行う駆動に比しても、液晶材料により、全ての階調間の応答時間が2H時間以下であるような特性を有する液晶材料等にあつては、リセット動作を行わずに、書き込み時間を倍増する駆動方法の方がより好ましい場合もある。

【0057】更に、走査線の書き込み時間を2倍にし、図9に破線で示す様にオーバーラップスキャンと同様に書き込み直前の1H時間を使用してプリチャージを行えば、プリチャージの後に更に所望データの十分な書き込み時間を有する事から、通常のオーバーラップスキャンに比較しより鮮明な表示画像を得られる。この駆動方法は、全ての階調間の応答時間が2H以下との条件は満たさないが3H以下の条件を満たすような特性を有する液晶材料等に有効である。

【0058】〔第5の実施の形態〕次に本発明の第5の実施の形態について図10及び図11を参照して述べる。第5の実施の形態は、第2の実施の形態における液晶表示素子を用い、リセット動作を行う代わりに第2の実施の形態の書き込み時間の2倍である2H時間の書き込み動作と、その直前に0乃至2H時間でプリチャージを行うものである。即ち、アレイ基板23の走査線30、31の駆動系統が2系統あることから第4の実施の形態と同様その走査線の書き込み時間を2倍にする事が可能である事から、図11に示す様に2H全てを書込み時間として使うものである。

【0059】この様に構成すれば、第4の実施の形態と同様、オーバーラップスキャンに比し、ぼける事なくより鮮明な表示画像を得られるし、リセット動作を行う駆動に比しても、液晶材料によっては、書き込み時間を倍増する駆動方法の方がより好ましい場合もある。

【0060】更に、走査線の書き込み時間を2倍にし、更に図11に破線で示す様にオーバーラップスキャンと同様に書き込み直前の1H時間を使用してプリチャージを行い、通常のオーバーラップスキャンに比較しより鮮明な表示画像を得る事も出来る。

【0061】〔第6の実施の形態〕以下本発明の第6の実施の形態を図12乃至図14を参照して説明する。46は、 640×480 のマトリクス状に配列される画素電極47を駆動するスイッチング素子としてTFT48を用いるアレ基板であり、図示しない対向基板との間で、液晶材料として第1の実施の形態に用いたのと同じ自発分極 150 nC/cm^2 、応答時間 $100 \mu\text{s}$ 、飽和電圧 5 V の無しき反強誘電性液晶A（図示せず）を挟持して液晶表示素子（図示せず）を構成している。

【0062】アレ基板46の絶縁基板50上には、走査線51及び信号線52がマトリクス状に配線され、その交点付近にはTFT48が設けられ、更に画素電極47が電氣的に接続され単一駆動系統にて、走査線51により順次信号線52が駆動される様になっている。尚、54は、補助容量線である。

【0063】次に図13に示すアレ基板46の等価回路を参照して液晶表示素子の駆動方法についてのべる（但し補助容量は省略する。）。このアレ基板46のTFT駆動系は、信号線52による最大印加電圧が $\pm 6 \text{ V}$ 、1H時間が $32 \mu\text{s}$ のVGAのものをを用い、図14の走査線駆動波形に示す様に、リセット期間割当時間を1H時間の $1/3$ 、同時リセット本数 n を4、最終リセットパルスから書込みパルス迄のブランク m を1とし、リセット電圧はコモン電圧と同じ電位として、複数ライン同時のリセット動作を含む駆動を行った。但し書込みパルスS及びリセットパルスRは、TFT48の立ち上がり時間が $3 \mu\text{s}$ である事を考慮して、パルス開始時刻を数 μs 早めにする等の調整を適宜行った。

【0064】即ち、走査線51による任意の行への書込み動作前に他の行のリセット動作と同時に、複数回リセット動作を行うものであり、図13のラインoにあっては、走査線51の走査による図14（ア）に示す書込みパルスSによる書込み動作の前に、図示しない前の4ラインの書込みが行われるそれぞれの1H時間の $1/3$ を使って行われるリセット動作と共に、4回リセットされる事となる。尚、図14に示す様にラインoの書込みが行われる1H時間の $1/3$ を使い、ラインp、q、r及び図示しない後の1ラインの計4ラインにてリセット動作が行われる事となる。

【0065】そしてこの第6の実施の形態の液晶表示素子にて画像表示を行った所、コントラスト比 $30:1$ と良好なコントラストを得られ、又「ステップ応答」も解消されることにより残像も認められず、高い表示品位を得られた。

【0066】この様に構成すれば、ラインoへの書込み前に、その前のラインの書込みが行われる1H時間の $1/3$ を使ってのリセット動作が4回行われており、1回のリセット時間は短くても4回のリセット時間を合計すれば十分なりセット時間を得られる事となり、確実にリセットが成される事から、保持電圧の低下を抑え、印加

電圧を上げる事無く、良好な保持電圧を得られ、又書込み前のリセットにより「ステップ応答」も解消され、コントラストを向上出来、フリッカを生じる事もなく、表示品位を向上出来る。

【0067】しかも、1画素電極47に対し、TFT48及び信号線52を1個ずつ備え、単一の駆動系統にて走査線を順次走査する従来のアレ基板を利用出来、スイッチング素子や配線の増加によるコストの上昇を防止し、製造時の歩留まりの低下による生産性の低下によるコストの上昇を生じる事もない。

【0068】〔比較例5〕これに対し、比較例5として第6の実施の形態と同じ液晶表示素子を用い、リセット動作を行わない駆動にて画像表示を行った所、コントラスト比は $10:1$ と低く、「ステップ応答」による残像も認められ、表示品位が劣化された。

【0069】〔比較例6〕次に、比較例6として第6の実施の形態と同じ液晶表示素子を用い、走査時、その選択されたラインにて、1H時間の $1/3$ をリセット動作に充て、書込み直前にリセット動作を行った後書込み動作を行う、従来のリセット動作を行う駆動にて画像表示を行った所、「ステップ応答」は解消され残像はほぼ認められなかったもののわずかに残っており、コントラスト比も $20:1$ 迄しか改善されず、良好な表示品位を得られなかった。

【0070】〔第7の実施の形態〕次に本発明の第7の実施の形態について述べる。第7の実施の形態は、第6の実施の形態における液晶表示素子の液晶材料を、自発分極 150 nC/cm^2 、応答時間 $100 \mu\text{s}$ 、飽和電圧 5 V のDHF液晶Bに変えた液晶表示素子を用い、第6の実施の形態と同様、TFT駆動系は、最大印加電圧が $\pm 6 \text{ V}$ のhライン反転駆動にて、1H時間が $32 \mu\text{s}$ のVGAのものをを用い、リセット期間割当時間を1H時間の $1/3$ 、同時リセット本数 n を2、最終リセットパルスから書込みパルス迄のブランク m を1とし、複数ライン同時のリセット動作を含む駆動を行い画像表示を行った所、コントラスト比 $30:1$ と良好なコントラストを得られ、又「ステップ応答」の解消により残像も認められなかった。

【0071】この様に構成すれば、第6の実施の形態と同様、1回のリセット時間は短くても合計で十分なりセット時間を得られ、確実にリセットが成され、保持電圧の低下を抑え、印加電圧を上げる事無く、良好な保持電圧を得られ、又書込み前のリセットにより「ステップ応答」も解消されて残像も見られず、コントラストを向上出来、フリッカを生じる事もなく、表示品位を向上出来る。

【0072】〔比較例7〕次に比較例7として、第7の実施の形態における液晶表示素子を用い、リセット期間割当時間を1H時間の $1/10$ 、同時リセット本数 n を2、最終リセットパルスから書込みパルス迄のブランク

mを2とし、複数ライン同時のリセット動作を含む駆動を行い画像表示を行った所、リセットパルスの合計時間が短すぎたため、リセット動作が完全に行われず、「ステップ応答」による残像が認められ、又、コントラスト比も2.5:1に低下され、表示品位が低下された。

【0073】尚本発明は上記実施の形態に限られるものでなく、その趣旨を変えない範囲での変更は可能であって、第1乃至第3の実施の形態において、同時にリセット動作を行うリセットライン数n及び、ブランク数mは任意であるが、リセットライン数が多すぎると表示画像上にリセット状態が現れてしまう事から、画像上に影響を生じない範囲に設定する必要がある、同時リセットライン数nが1乃至10且つ、ブランク数が0或いは2或いは4のいずれかであることがより好ましい。

【0074】又第6及び第7の実施の形態においては、同時にリセット動作を行うリセットライン数n及び、ブランク数mは、表示画像上にリセット状態が現れない範囲であると共に、リセット合計時間が十分リセット出来る時間である必要もあるし、書き込み時間のうちのリセット動作に割り当てる時間も、書き込み動作を損なわない程度に設定する必要がある、同時リセットライン数nが1乃至10且つ、ブランク数が0乃至3、1H時間のうちリセット動作に充てる時間は1/6~1/2である事がより好ましい。

【0075】更に、液晶表示素子を使用される温度範囲は、0℃~50℃程度であるが、液晶材料の応答速度は、この範囲内においてある程度の温度依存性があり、同時リセットライン数n及びブランク数mを所定値に固定してしまうと、温度によっては表示画像が見にくくなる場合があることから、温度検知手段及びこの温度検知手段からの検知結果に応じて同時リセットライン数n或いはブランク数mを自動調整可能な制御回路を設けたり、或いは画像を確認しながら調整つまみにより、手動で同時リセットライン数n或いはブランク数mを調整するようにすれば、温度によらず、より良好な表示を確実に得られる事となる。

【0076】又、図15に示す他の変型例のように、例えば第1の実施の形態で用いた液晶表示素子と同様の液晶表示素子58を上下に2個隣接し、より大型の表示素子を得る等しても良い。1枚の液晶表示素子を用いた場合には、通常は大型高精細化によりライン数が増大され、1ラインの書き込み時間を短縮せざるをえないが、改良によっても液晶材料の応答速度の高速化には限界があり、応答時間に比べ書き込み時間を余り短縮出来無いので、液晶表示素子2個を上下に並べて、2画面駆動とすれば、書き込み時間を短縮する事なくライン数を2倍にすることが出来、液晶表示素子の大型高精細化の実現が図れる。

【0077】

【発明の効果】以上説明したように本発明によれば、強

誘電性或いは反強誘電性液晶材料を用い、高速且つ広視野角の液晶表示素子を得るものにおいて、低駆動電圧化や低コスト化を妨げることなく、保持電圧の低下を防止し、且つ「ステップ応答」による残像を解消して、高コントラストを得られ且つ、フリッカが防止されるので、低駆動電圧でありながら大型高精細で表示品位の高い液晶表示素子を得る事が出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のアレイ基板を示す一部を拡大した概略平面図である。

【図2】本発明の第1の実施の形態のアレイ基板を示す等価回路図である。

【図3】本発明の第1の実施の形態のアレイ基板の等価回路の各ラインの走査線駆動波形を示すグラフである。

【図4】本発明の第2の実施の形態のアレイ基板を示す一部を拡大した概略平面図である。

【図5】本発明の第2の実施の形態のアレイ基板を示す等価回路図である。

【図6】本発明の第2の実施の形態のアレイ基板の等価回路の各ラインの走査線駆動波形を示すグラフである。

【図7】比較例4の液晶表示素子のアレイ基板を示す等価回路図である。

【図8】本発明の第4の実施の形態のアレイ基板を示す等価回路図である。

【図9】本発明の第4の実施の形態のアレイ基板の等価回路の各ラインの走査線駆動波形を示すグラフである。

【図10】本発明の第5の実施の形態のアレイ基板を示す等価回路図である。

【図11】本発明の第5の実施の形態のアレイ基板の等価回路の各ラインの走査線駆動波形を示すグラフである。

【図12】本発明の第6の実施の形態のアレイ基板を示す一部を拡大した概略平面図である。

【図13】本発明の第6の実施の形態のアレイ基板を示す等価回路図である。

【図14】本発明の第6の実施の形態のアレイ基板の等価回路の各ラインの走査線駆動波形を示すグラフである。

【図15】本発明の他の変型例を示す概略平面図である。

【符号の説明】

10…アレイ基板

11…画素電極

12…TFT

13…絶縁基板 14a…第1の駆動系統

14b…第2の駆動系統

16…第1の駆動系統の走査線

17…第2の駆動系統の走査線

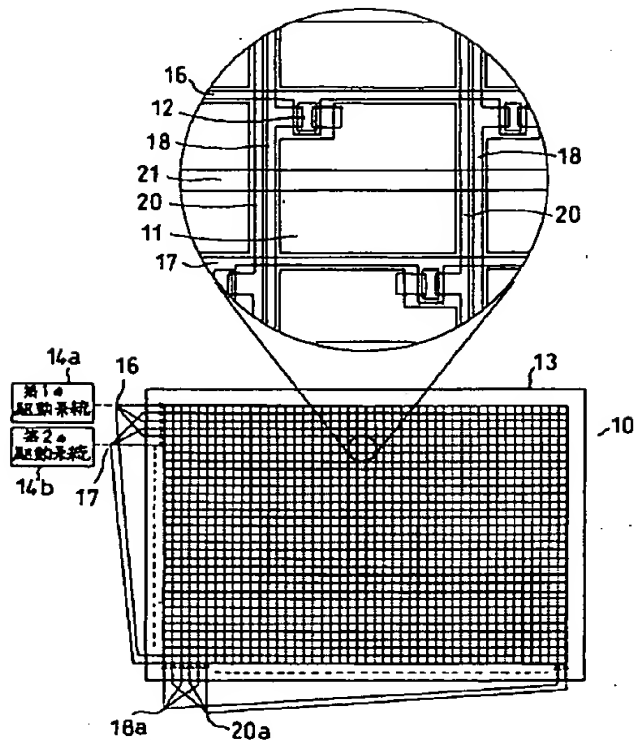
18…第1の駆動系統の信号線

18a…第1の信号線系統

19

- 20…第2の駆動系統の信号線
 20a…第2の信号線系統
 21…補助容量線
 23…アレイ基板
 23a…アレイ基板の中央
 24…画素電極
 26…TFT
 27…絶縁基板
 28a…上駆動系統
 28b…下駆動系統
 30…上駆動系統の走査線
 31…下駆動系統の走査線
 32…上駆動系統の信号線
 32a…上信号線系統
 33…下駆動系統の信号線
 33a…下信号線系統
 36…補助容量線

【図1】

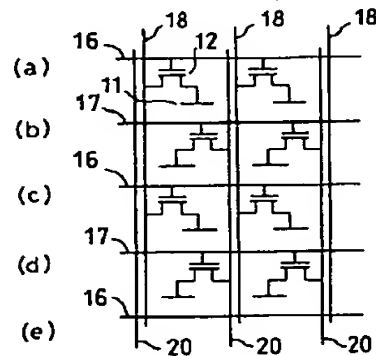


- 10: TFT基板 11: 画素電極 12: TFT
 14a: 第1の駆動系統 14b: 第2の駆動系統
 16: 第1の走査線 17: 第2の走査線 18: 第1の信号線
 20: 第2の信号線

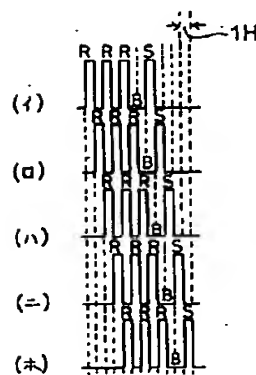
20

- 37…画素
 38a…書き込み用TFT
 38b…リセット用TFT
 39…データライン
 40…レファレンスライン
 41…アレイ基板
 56…走査線
 57…画素電極
 46…アレイ基板
 10 47…画素電極
 48…TFT
 50…絶縁基板
 51…走査線
 52…信号線
 54…補助容量線
 58…第1の実施の形態の液晶表示素子

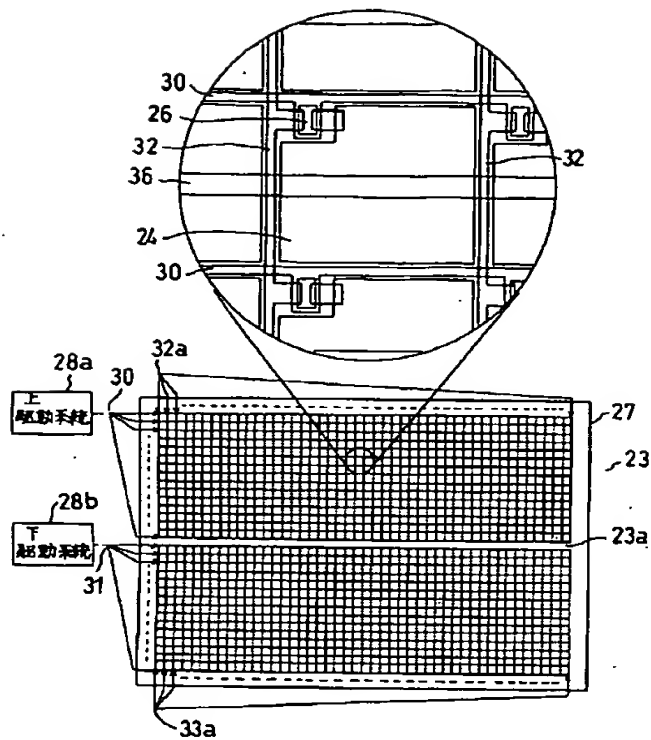
【図2】



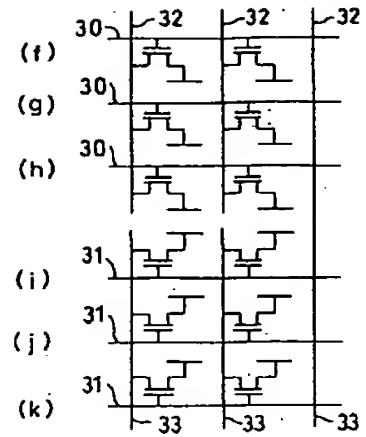
【図3】



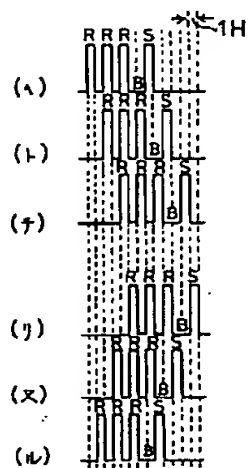
【図4】



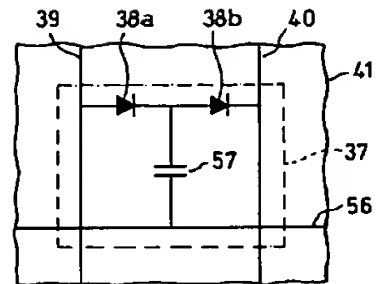
【図5】



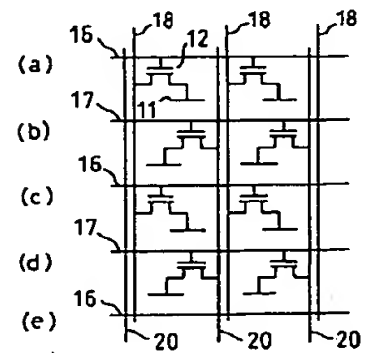
【図6】



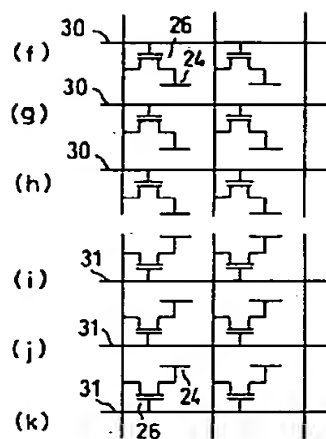
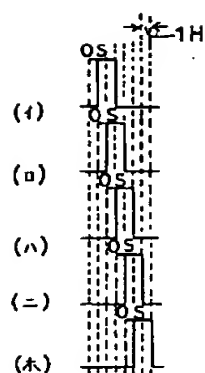
【図7】



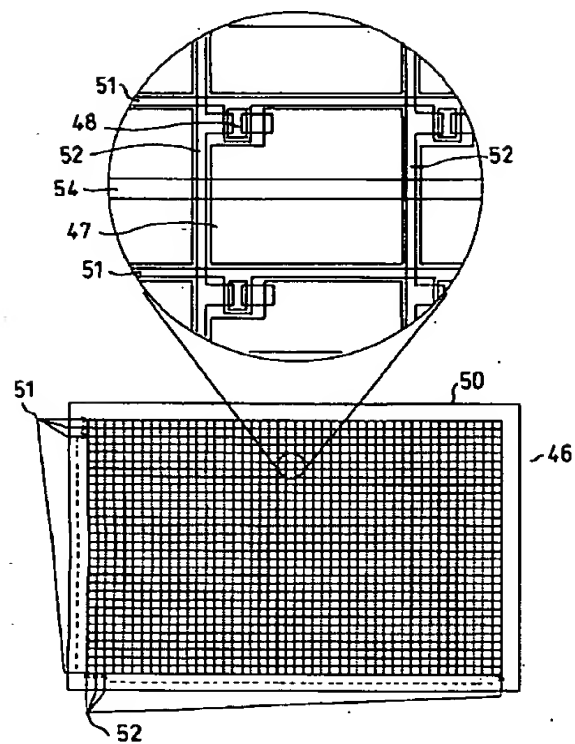
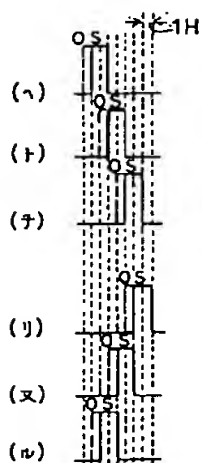
【図8】



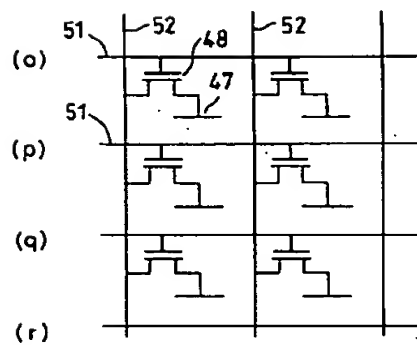
【☒ 10】



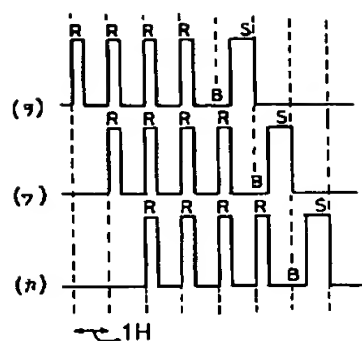
【例 12】



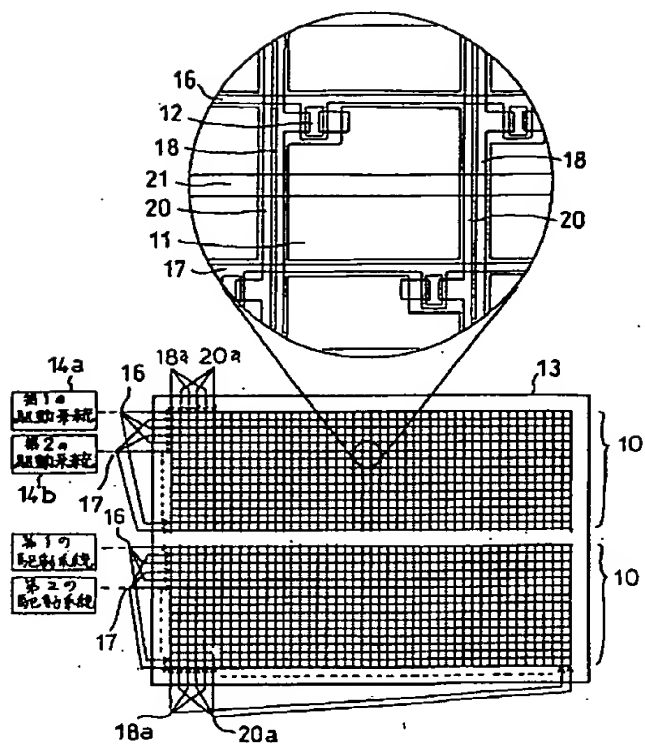
【图 13】



【図14】



【図15】



フロントページの続き

(72)発明者 藤原 久男

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内